

选择和使用高准确度数模转换器

◆ 凌力尔特公司DAC 设计部负责人/Chad Steward

很多应用（包括精密仪器、工业自动化、医疗设备和自动测试设备）都需要高准确度数模转换。在 16 位分辨率时要求准确度好于约 $\pm 15\text{ppm}$ 或 $\pm 1\text{LSB}$ 的电路中，设计师传统上一直被迫使用大量校准，以在所有情况下保持准确度。新型高精度 DAC 使得能够采用一个单片式 DAC 来实现 $\pm 4\text{ppm}$ 准确度或 $\pm 1\text{LSB}$ （在 18 位分辨率条件下），而无需校准。在本文中我们将对高精度数模转换器的选择和使用过程中所涉及的问题进行研究。

DAC 的架构对于 DAC 的技术规格及其对电路板设计师的要求均有影响。为了实现最佳性能，需要谨慎地考虑 DAC 上的电源、基准和输出放大器所产生的影响。

过采样或增量累加 DAC

过采样或 $\Delta\Sigma$ ADC 采用一个低分辨率 DAC（通常仅 1 位），在其前后分别布设一个噪声整形数字调制器和一个模拟低通滤波器。最准确的商用增量累加 DAC 实现 $\pm 15\text{ppm}$ 的准确度，但是需要 15ms 才能稳定，并要承受相对较高的 $1\mu\text{V}/\sqrt{\text{Hz}}$ 噪声密度。其它可购得的过采样 DAC 在 80us 内稳定，但是 INL 较差，大约为 240 ppm。

合成 DAC

通过结合两个较低分辨率的单片 DAC，有可能

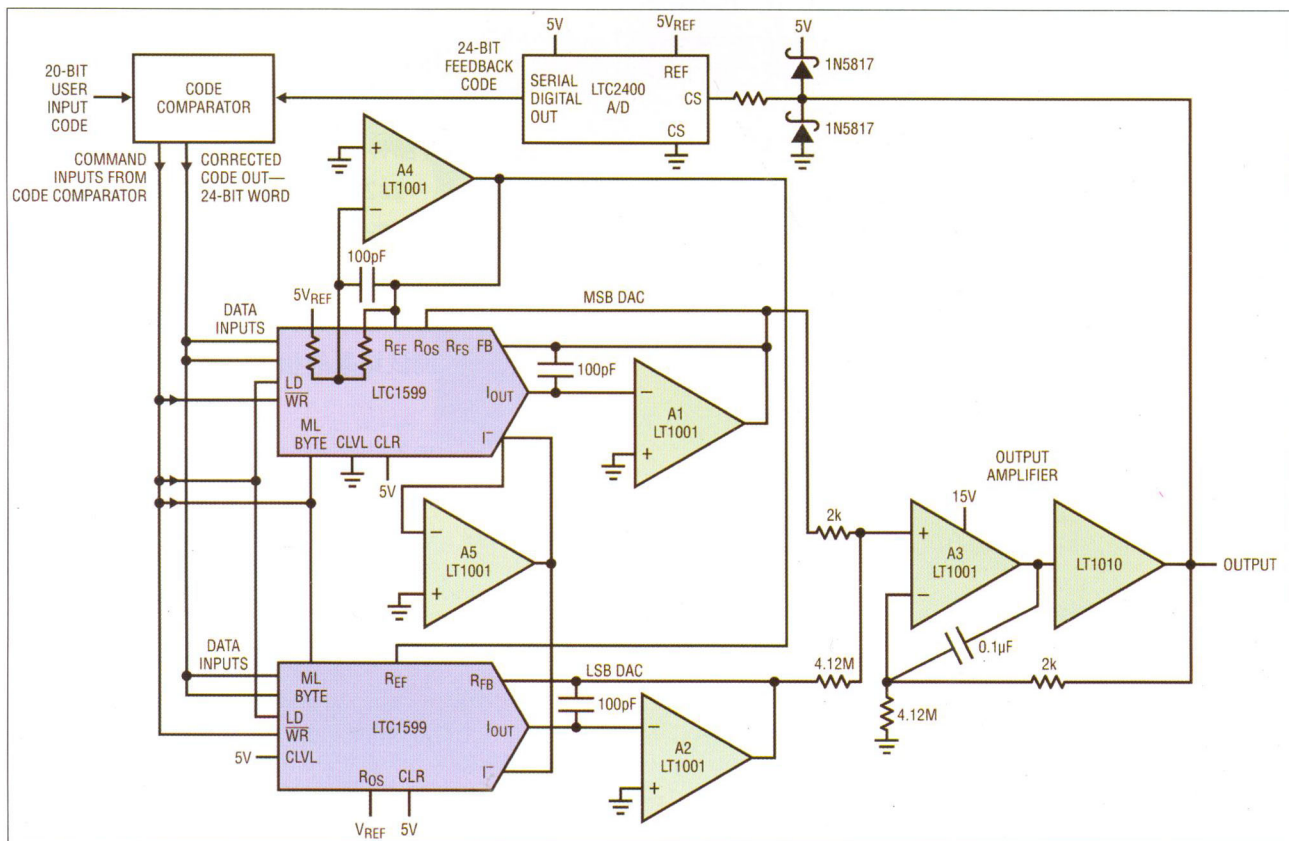


图1：具有 ADC 反馈环路的合成 DAC 实现 1ppm 准确度

构成一个高分辨率的合成 DAC。请注意，粗略 DAC 的分辨率和精细 DAC 的范围需要重叠，以确保所有想要的输出电压都可实现。粗略 DAC 的准确度和漂移一般将限制合成 DAC 的最终准确度，因此要提高准确度，就需要对合成 DAC 转移函数的特性和软件进行校正。也可能需要频率校准，以校正随温度、时间、湿度和机械压力产生的变化导致的漂移。图 1 显示凌力尔特公司应用指南 86 (Application Note 86) 中的一个例子，在这个例子中，ADC 用在一个反馈环路中，以连续调节两个 16 位 DAC，用来实现 $\pm 1\text{ppm}$ 的准确度。

电阻串 DAC

电阻串 DAC 采用具有 2^N 个分接点的一系列电阻分压器，以实现 N 位分辨率。采用电阻串架构的单片 16 位 DAC 一般含有一个较低分辨率的电阻串 DAC 和一个范围较小的 DAC，范围较小的 DAC 用于插入串器件之间，以实现 16 位分辨率。这种串 + 内插器方法的一个优点是，DAC 输出具有固有的单调性，无需微调或校准。

这类 DAC 的基准输入阻抗一般很高 ($50\text{k}\Omega \sim 300\text{k}\Omega$)，而且不受输入代码的影响，从而有可能使用一个非缓冲型基准。因为电阻串的输出阻抗随输入代码变化，所以大多数电阻串 DAC 含有集成的输出缓冲器放大器，以驱动电阻性负载。

尽管电阻串 DAC 的 DNL 本身非常好，但是 INL 由串联电阻器件的匹配决定，而且可能由于含有大量的独立器件而难以控制。直到最近，这类 DAC 的准确度一直限制在约 $\pm 180\text{ppm}$ 。最近的进步已经使得准确度提高到了 $\pm 60\text{ppm}$ 。例如，LTC2656 在 $4\text{mm} \times 5\text{mm}$ 封装中集成了 8 个 DAC 通道，在 16 位分辨率时具有 $\pm 4\text{LSB}$ 的最大 INL。

阻性梯形或 R-2R 型 DAC

阻性梯形或 R-2R DAC 采用一种类似于图 2 所示的三端子结构，电阻器在 A 端和 B 端之间切换。请注意，A 端和 B 端上的阻抗与代码的相关性很高，而 C 端则具有一个固定阻抗。电阻器与开关的

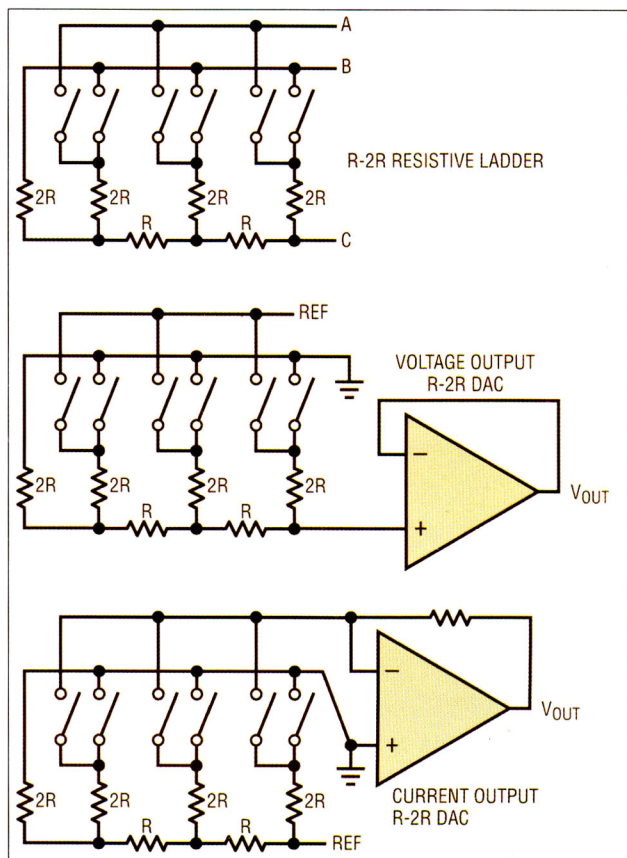


图2：阻性梯形 DAC 架构

匹配情况将会影响这种结构的单调性和准确度。此类 DAC 一般经过修整或在出厂时经过校准，而且，具 $\pm 1\text{LSB}$ INL 和 DNL 的单调 16 位阻性梯形电路 DAC 上市已有很长时间了。

电压输出 R-2R DAC

一种常见类型的 R-2R DAC 将 C 端用作 DAC 输出电压，而 A 端连接到基准，B 端连接到地。输出阻抗相对于输入代码是恒定的，从而有可能以非缓冲方式驱动电阻负载。例如，LTC2641 16 位 DAC 能以非缓冲方式驱动 $60\text{k}\Omega$ 负载，同时保持 $\pm 1\text{LSB}$ 的 INL 和 DNL，并消耗不到 $200\mu\text{A}$ 的电源电流。

这种方法的一个缺点是，基准阻抗随着输入代码大幅变化。由于 R-2R 梯形电路的本质，甚至 DAC 输出电压中很小的变化也可能在基准电流中引起 1mA 或更大的阶跃变化。为此，必须由一个高性能放大器来对基准进行缓冲，并采用一种非常精细和针对性的检测电路布局，以限制稳定、干扰脉冲和线性

度性能的最终劣化。

当一个输出缓冲器放大器和一个电压输出 R-2R DAC 一起使用时, 该放大器的开环增益和大信号共模抑制必须足够高, 以保持输出的线性度 (在 18 位时 $>110\text{dB}$)。输出缓冲器的失调和输入偏置电流将主要以 DAC 输出偏移的形式出现, 但是这些参数在输入共模范围内的任何变化都将以附加的 INL 误差形式出现。

请注意, 在正和负基准开关之间有必要保持匹配的阻抗, 以保持 DAC 线性度。因为 CMOS 开关阻抗是电压和温度的函数, 因此这给 DAC 的准确度带来了挑战, 尤其是在低电源电压时。可采用这种架构的 18 位 DAC 的 PSRR 被限制在约 64dB 。结果, 随着时间、温度、电压和负载状况的变化, 电源必须在约 0.5% 的范围内保持恒定, 以保持 18 位性能。在工作温度范围内, 这类 DAC 的 INL 可以预期以 $\pm 0.5\text{LSB}$ 或更大的幅度漂移。

迄今为止, 当采用一个 5V 电源时, 运用该架构和一个集成输出放大器的 18 位 DAC 的性能一直被限制为 $\pm 2\text{LSB}$ INL (在 18 位)。采用 3V 电源时, 其性能将进一步限制为 $\pm 3\text{LSB}$ INL (在 18 位), 且单调性下降至 17 位。

电流输出 R-2R DAC

阻性梯形 DAC 的一种可替换配置将图 2 中的

C 端用作基准, 并将 B 端连接到地。A 端连接到输出放大器的负反馈引脚。当阻性梯形电路的支路在 A 和 B 之间切换时, 电流流过反馈电阻器, 以在放大器输出端上产生 DAC 电压。

对于高准确度应用来说, 这种架构具有很多优点。基准阻抗是恒定的, 可以用非缓冲型基准或一个慢速低精确度运算放大器驱动。因为 A 端和 B 端处于相同的地电位, 所以保持匹配的开关阻抗相对容易, 甚至在出现电源电压和温度变化时也一样。结果, 精确的电流输出 R-2R DAC 具有卓越的 PSRR 和温度漂移性能。

与电流输出 R-2R DAC 一起使用的输出放大器需要高开环增益 (在 18 位时 $>110\text{dB}$) 和低失调电压。A 端和 B 端之间的任何偏移都将产生一种取决于代码的误差电流, 该误差电流将以 INL 误差的形式出现。输出缓冲器的输入偏置电流不那么重要, 主要以 DAC 输出偏移的形式出现。因为两个输入都始终处于地电位, 所以放大器的共模抑制不重要。

在 16 位时实现 $\pm 1\text{LSB}$ INL 的电流输出 R-2R DAC 长久以来一直可以普遍购得, 凌力尔特公司提供一种新的 18 位 DAC 系列, 在 18 位分辨率时实现 $\pm 4\text{ppm}$ 的准确度或 $\pm 1\text{LSB}$ 的最大 INL, 在整个温度范围内有保证 (图 3)。LTC2757 提供并联接口, 可立即购得。LTC2756/8 单和双通道 SPI DAC 计划在未来数月内推出。在 18 位时, LTC2757 从

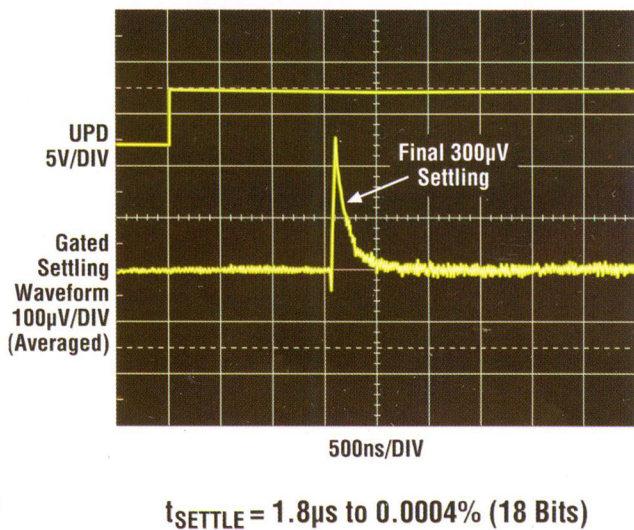
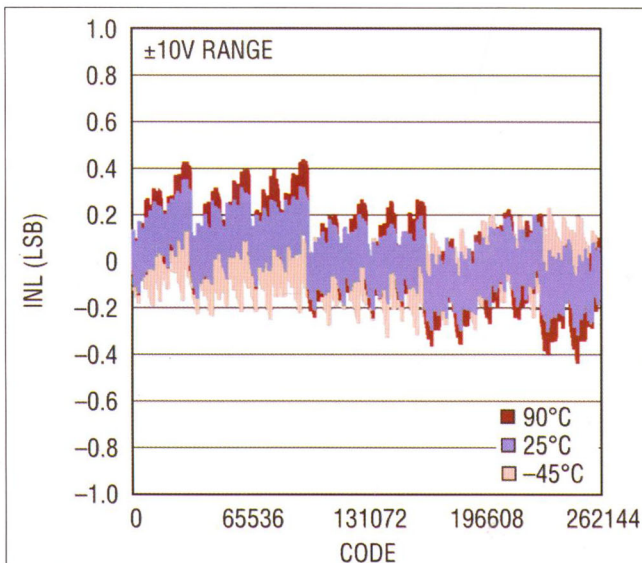


图3: LTC2757 18 位 DAC (图 3a) 提供 $\pm 1\text{LSB}$ 的最大 INL 和 DNL, 在 $-40^{\circ}\text{C} \sim +85^{\circ}\text{C}$ 的温度范围内有保证, 并在 $2.0\mu\text{s}$ 内将 10V 阶跃稳定在 1LSB 之内 (图 3b)。

-40°C ~ +85°C 的典型 INL 漂移不到 $\pm 0.2\text{LSB}$ ，高达 96dB 的 PSRR 使输出对电源变化不敏感。

缓冲型与非缓冲型 DAC 输出

有些高度准确的 DAC 在 DAC 内部集成了输出放大器，而其它一些这类放大器则需要一个外部运算放大器。在这两种情况下，大多数 DAC 都提供集成的电平移动和反馈电阻器，以不再需要精确的外部器件。集成输出放大器的主要优点是占板面积小和使用方便。成本通常不是首要因素，因为外部放大器器件通常比 DAC 本身便宜得多。

设计师应该意识到，一个集成的输出放大器也许会损害设计灵活性。内部放大器提供的输出摆幅、速度、噪声和功率合起来，不可能对于多种应用来说都是最佳的。例如，一个集成的单电源输出放大器在靠近电源轨时将遭遇准确度下降问题，因此设计师必须提供电平移动差分基准，以利用全部的 DAC 代码范围。如果内部放大器的负反馈输出不可使用，则有可能无法针对大容性负载来补偿输出环路，或增设一个外部缓冲器而不引入第二个反馈环路，对于那些需要

一个较宽输出摆幅或较高负载电流的用户来说，他们将会由于增设一个具有与内部放大器环路相串联的独立反馈环路的外部放大级，而导致准确度、噪声和功耗等性能的损失。

具有一个外部放大器的非缓冲型 DAC 一般实现最佳性能。多种可购得的器件给设计师提供了自由，可对给定的应用选择一个具有最佳准确度、速度、噪声和功率的解决方案。

选择输出放大器

当选择与 LTC2757 等准确的电流输出 DAC 一起使用的放大器电路时，失调电压是一个重要的考虑因素。DAC 线性度对放大器失调的敏感性取决于 DAC 的实现方式，制造商应该在数据表中描述清楚。就 LTC2757 而言， $\pm 80\mu\text{V}$ 的失调电压将在 DAC 输出引起约 $\pm 1\text{LSB}$ 的 INL 误差。

要实现最佳的 DC 准确度，最简单的解决方案是采用低失调 ($<10\mu\text{V}$) 自动调零放大器 (如 LTC1150 或 LTC2054)。对于较宽的输出摆幅来说，可以在环路中纳入诸如 LT1010 等第二个缓冲器放大

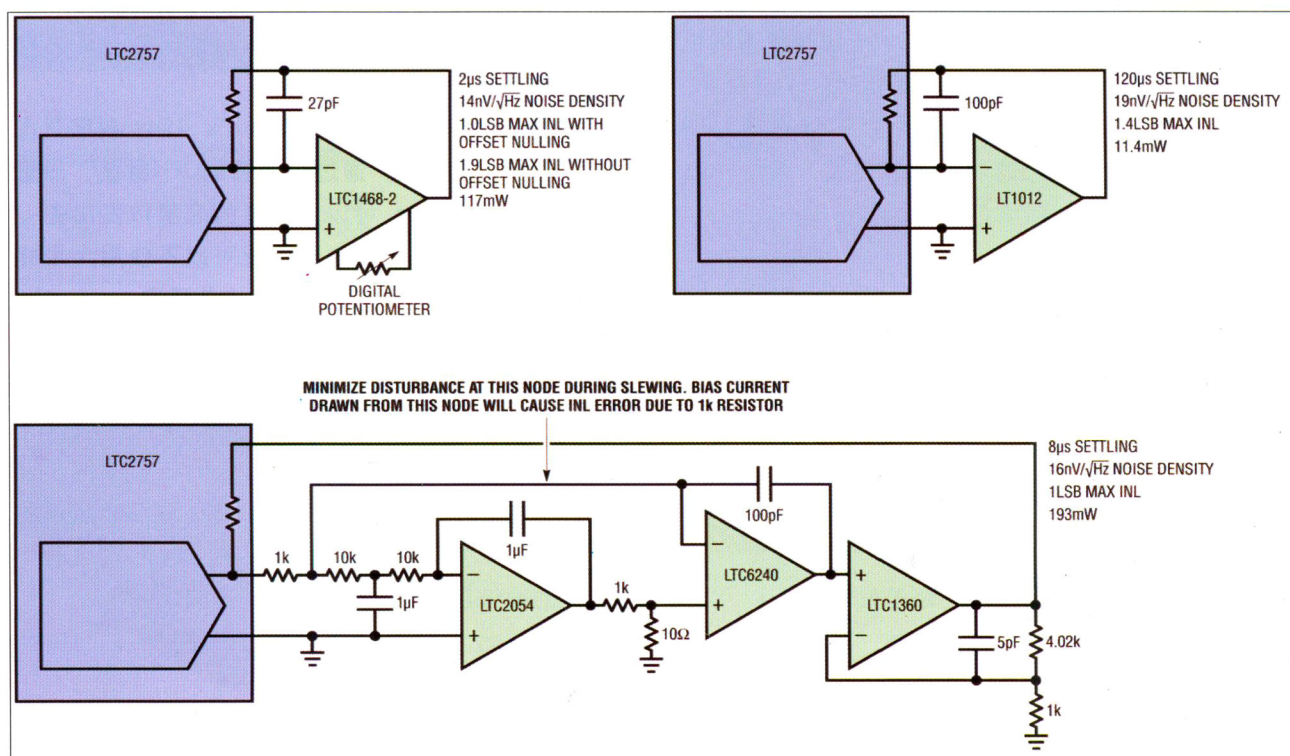


图4: DAC 输出放大器举例

A

模拟技术

analog&Power

器。LT1012 是一个良好的中间输出放大器，以低功率 (11.4mW) 实现中等速度 (120 μ s 稳定时间) 和良好的准确度 ($\pm 25 \mu$ V 失调)。

对于高速应用来说，一个好的选择是 LTC1468-2，该器件在 18 位时以 2 μ s 时间将 10V 阶跃稳定在 ± 1 LSB 之内。请注意， $\pm 75 \mu$ V 的最大失调将在 DAC 输出端使 INL 劣化高达 ± 0.9 LSB。对于需要较高准确度的高速应用来说，放大器失调可以用数字电位器来消除。

要在高速且未采用消除失调的措施时实现最佳准确度，合成的放大器电路是一个良好的选择。例如，图4显示，LTC2054 用作积分器来消除放大器失调。在输出转换时，LTC6240 最大限度地降低积分器输入的干扰，以避免扰乱低频通路。请注意，跨 1k Ω 电阻器的任何 DC 电流都以失调电压的形式出现，会引起 INL 误差，因此 LTC6240 具有低输入偏置电流很

重要。LTC1360 提供宽的输出摆幅。这样产生的合成放大器以 16 μ V/ $\sqrt{\text{Hz}}$ 的噪声密度在 8 μ s 的时间实现稳定。

结论

尽管很多 DAC 架构都允许用户实现 18 位分辨率和单调性，但是对于在 16 位时需要好于 ± 15 ppm 的准确度或 ± 1 LSB INL 的用户来说，阻性梯形或 R-2R DAC 是最佳选择。在电压和电流输出 R-2R DAC 之间进行选择时，设计师应该意识到，每一种架构对电源、基准和输出放大器都施加了不同的要求。选择一个非缓冲型 DAC 并将该 DAC 与一个仔细选择的放大器结合，可以最大限度地提高设计灵活性，并为给定应用提供最佳解决方案。CTC